

Machine translation JP8317346

DRAWINGS

(19)**Publication country**Japan Patent Office (JP)
(12)**Kind of official gazette**Publication of patent applications (A)
(11)**Publication No.**JP,8-317346,A
(43)**Date of Publication**November 29, Heisei 8 (1996)
(54)**Title of the Invention**Digital Video signal conversion equipment and a converting method
(51)**International Patent Classification (6th Edition)**
H04N 7/01

7/24

FI

H04N 7/01 G

7/13 Z

Request for ExaminationTamotsu

Number of Invention(s)1

Mode of ApplicationFD

Number of Pages10

(21)**Application number**Japanese Patent Application No. 8-34412

(62)**Indication of divisional application**Division of Japanese Patent Application No. 61-191431

(22)**Filing date**August 15, Showa 61 (1986)

(71)**Applicant**

Identification Number000002185

NameSony Corp.

Address6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

(72)**Inventor(s)**

NameTetsujiro Kondo

Address6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo Inside of Sony Corp.

(74)**Attorney**

Patent Attorney

NameMasatomo Sugiura

(57) Abstract

Technical problem The output digital image signal of resolution higher than an input digital image signal is generated.

Means for SolutionA coefficient beforehand identified using criterion data is stored in ROMs 81-90. This coefficient is determined and stored for every pattern of ten surrounding pixels of a pixel which it is going to interpolate. 10-bit pattern information b_1 - b_{10} are supplied from a pattern classifying circuit as an address signal to ROMs 81-90. Coefficient a_1 read from ROMs 81-90 according to pattern information - a_{10} are supplied to the multiplication circuits 91-100, and multiplication is carried out to peripheral pixel data x_1 - x_{10} . An output of the multiplication circuits 91-100 is added by the adder circuits 101-109, and an interpolation value of a noticed picture element is taken out from the adder circuit 109.

Claim(s)

Claim 1The Digital Video signal generating device which generates the 2nd Digital Video signal with more pixel numbers than the Digital Video signal of the above 1st from the 1st Digital Video signal, comprising:

A means to generate pattern information which receives two or more peripheral pixels contained in the Digital Video signal of the above 1st which exists in the circumference of a noticed picture element which should be generated, detects a pattern of the noticed picture element from two or more of the peripheral pixels, and shows a pattern detected **above-mentioned** .

A storing means in which a coefficient group for every pattern beforehand defined by least square Kazunori was stored so that the sum of squares of an error of a noticed picture element and a true value which should be generated might serve as the minimum using data of a standard.

A means to receive the Digital Video signal of a coefficient group and the above 1st corresponding to the above-mentioned pattern information read from the above-mentioned storing means based on the above-mentioned pattern information, and to generate the above-mentioned noticed picture element from the Digital Video signal of the above-mentioned coefficient group and the above 1st.

Claim 2The Digital Video signal generation method which generates the 2nd Digital Video signal with more pixel numbers than the Digital Video signal of the above 1st from the 1st Digital Video signal, comprising:

A step which generates pattern information which receives two or more peripheral pixels contained in the Digital Video signal of the above 1st which exists in the circumference of a noticed picture element which should be generated, detects a pattern of the noticed picture element from two or more of the peripheral pixels, and shows a pattern detected **above-mentioned** .

A step which stores a coefficient group for every pattern beforehand defined by least square Kazunori so that the sum of squares of an error of a noticed picture element and a true value which should be generated may serve as the minimum using data of a standard.

A step which receives the Digital Video signal of a coefficient group and the above 1st corresponding to the above-mentioned pattern information read based on the above-mentioned pattern information, and generates the above-mentioned noticed picture element from the Digital Video signal of the above-mentioned coefficient group and the above 1st.

Detailed Description of the Invention

0001

Field of the InventionThis invention relates to the Digital Video signal conversion equipment and the converting method which generated the pixel which does not exist in an input digital image signal using an input digital image signal.

0002

Description of the Prior ArtWhen transmitting the Digital Video signal acquired by coding a video signal, subsampling is used in order to narrow a transmission band. The image data of one half of pixels is thinned out by subsampling. The interpolation circuit which interpolates this infanticide pixel is established in the receiver. In the former, the digital low pass filter designed in the frequency domain was used as this interpolation circuit.

0003

Problem(s) to be Solved by the InventionWhen having designed an interpolation filter in a frequency domain, and the repeatedly operation based on experience was needed from the frequency characteristic of an input output signal and the sampling

frequency of the Digital Video signal was different, it was required to design an interpolation filter according to each sampling frequency. Therefore, there was a fault with scarce flexibility troublesome **the design of an interpolation filter**. Since it was necessary to take the phase of a carrier chrominance signal into consideration when it is the composite color video signal with which the luminance signal was overlapped on the carrier chrominance signal, the conventional interpolation filter was difficult to apply. The interpolation by an interpolation filter had a fault in which resolution deteriorates.

0004Therefore, the purpose of this invention is to provide the Digital Video signal conversion equipment and the converting method at the time of using an interpolation filter with which the fault mentioned above was canceled.

0005

Means for Solving the ProblemThe Digital Video signal generating device whose this invention is characterized by that Digital Video signal conversion equipment comprises the following and which generates the 2nd Digital Video signal with more pixel numbers than the 1st Digital Video signal from the 1st Digital Video signal.

A means to generate pattern information which receives two or more peripheral pixels contained in the 1st Digital Video signal that exists in the circumference of a noticed picture element which should be generated, detects a pattern of the noticed picture element from two or more of the peripheral pixels, and shows a detected pattern.

A storing means in which a coefficient group for every pattern beforehand defined by least square Kazunori was stored so that the sum of squares of an error of a noticed picture element and a true value which should be generated might serve as the minimum using data of a standard.

A means to receive a coefficient group and the 1st Digital Video signal corresponding to pattern information read from a storing means based on pattern information, and to generate a noticed picture element from a coefficient group and the 1st Digital Video signal.

This invention is a converting method which processes as mentioned above.

0006Image data of a noticed picture element is predicted by primary linearity combination with image data in which a predetermined number which thins out in the same field (or frame) and encloses a pixel exists really, and a coefficient of a predetermined number. A local pattern is detected using image data of plurality which encloses a pixel which it is going to interpolate which exists really, it is adapted for this pattern, and a coefficient of an interpolation circuit is set up alternatively. A coefficient is beforehand set to make into the minimum the sum of squares of an error of this interpolation value and true value that were predicted for every pattern. Optimal coefficient according to a local pattern is used, and the Digital Video signal conversion equipment and a converting method by this invention can acquire an output Digital Video signal which has resolution higher than an input Digital Video signal.

0007

Embodiment of the InventionHereafter, one example of this invention is described with reference to drawings. This explanation is made in an order of the following item.

a. The composition c. blocking circuit d. dynamic range detector circuit e. quantization circuit f. peripheral pixel extracting circuit g. pattern classifying circuit h. adaptation interpolation circuit i. modification of the composition b. receiver of the transmitting side

0008a. The lineblock diagram 1 of the transmitting side shows the composition of the transmitting side (record side) as a whole. The color video signal of NTSC system is supplied to the input terminal shown by 1. The digital color video signal with which this color video signal was supplied to A/D converter 2, for example, one sample was quantized by 8 bits by the sampling frequency of 4fsc (fsc: color subcarrier frequency) is acquired from A/D converter 2. This digital color video signal is supplied to the subsampling circuit 3, and the output signal of the subsampling circuit 3 is supplied to the blocking circuit 4. The pre-filter for a band limit is not provided in the preceding paragraph of the subsampling circuit 3, and the high-frequency component of an input color video signal is not lost.

0009In the subsampling circuit 3, a digital color video signal is sampled by the sampling frequency of 2fsc. An input digital television signal is changed into the signal which

continues for every two-dimensional block which is a unit of coding by the blocking circuit 4. Let 1 block into which it comes to divide the screen of the 1 field be a size of (8 pixels **four lines** $x = 32$ pixels) in this example.

0010Drawing 3 shows this 1 block, in drawing 3, a solid line shows the line of an odd number field, and a dashed line shows the line of an even number field. This invention is applicable also to the three-dimensional block which comprised four two-dimensional fields belonging to each four frames unlike this example. As the pixel within a block shows drawing 4, it is thinned out by the subsampling circuit 3 established in the preceding paragraph of the blocking circuit 4, and the pixel number of 1 block is made 16 pixels. The pixel to which subsampling of 0 was carried out in drawing 4 is shown, and the pixel by which x was thinned out is shown.

0011The output signal of the blocking circuit 4 is supplied to the dynamic range detector circuit 5 and the delay circuit 6. The dynamic range detector circuit 5 detects the dynamic range DR and the minimum MIN for every block. Picture-element-data PD from the delay circuit 6 is supplied to the subtractor circuit 7, and picture-element-data PDI from which the minimum MIN was removed is formed in the subtractor circuit 7.

0012Subsampling is carried out to the quantization circuit 8, and picture-element-data PDI and the dynamic range DR after the minimum removal through the subtractor circuit 7 are supplied to it. In the quantization circuit 8, it is adapted for the dynamic range DR, and quantization of picture-element-data PDI is performed. Code signal DT from which 1 picture element data was changed into 4 bits is obtained from the quantization circuit 8.

0013Code signal DT from this quantization circuit 8 is supplied to the frame-sized circuit 9. The dynamic range DR (8 bits) and the minimum MIN (8 bits) are supplied to the frame-sized circuit 9 as an additional code for every block. The frame-sized circuit 9 processes error correcting code-ization to code signal DT and an above-mentioned additional code, and adds a synchronized signal. Send data is obtained by the output terminal 10 of the frame-sized circuit 9, and this send data is sent out to transmission lines, such as a digital circuit. In the case of a digital video tape recorder, an output signal is supplied via recording amplifier, a rotary transformer, etc. at a rotary head.

0014b. The lineblock diagram 2 of a receiver shows the composition by the side of reception (or reproduction). The received data from the input terminal 11 are supplied to the frame disassembling circuit 12. Code signal DT and the additional code DRMIN are separated by the frame disassembling circuit 12, and error correction processing is made by it. Code signal DT is supplied to the decoding circuit 13, and the dynamic range DR is supplied to the decoding circuit 13.

0015The decoding circuit 13 performs processing contrary to processing of the quantization circuit 8 of the transmitting side. That is, the data after 8-bit minimum level removal is decoded by the representation level, this data and the minimum MIN of 8 bits are added by the adder circuit 14, and the original picture element data is decoded. The output data of the adder circuit 14 is supplied to the block decomposition circuit 15. The block decomposition circuit 15 is a circuit for changing the decode data of the turn of a block into the same turn as the scan of a television signal contrary to the blocking circuit 4 of the transmitting side. The output signal of the block decomposition circuit 15 is supplied to the peripheral pixel extracting circuit 16. In this peripheral pixel extracting circuit 16, image data (subsampling data) x_1 in which ten pixels which enclose the infanticide pixel which it is going to interpolate exist really - x_{10} are taken out.

0016Subsampling data x_1 from the peripheral pixel extracting circuit 16 - x_{10} are supplied to the pattern classifying circuit 17A and the delay circuit 17B. The output signal of the delay circuit 17B is supplied to the adaptation interpolation circuit 17C. Ten surrounding subsampling data is changed into the pattern information expressed with 10 bits in the pattern classifying circuit 17A. The average value of ten subsampling data is computed and it is changed into "0" or "1" of a logical level by comparing with average value the subsampling data whose number is ten, respectively so that it may mention later. This 10-bit set is used as pattern information. Therefore, there may be a pattern of a passage ($2^{10}=1024$). Pattern information is supplied to the adaptation interpolation circuit 17C.

0017In the adaptation interpolation circuit 17C, the data of the thinned-out pixel is

interpolated with the surrounding subsampling data. In this case, the interpolation according to pattern information is made. The digital color video signal of sampling frequency $4f_{sc}$ from the adaptation interpolation circuit 17C is supplied to D/A converter 18. An analog color video signal is acquired by the output terminal 19 of D/A converter 18. When the pre-filter is not provided at the transmitting side, there is a possibility that clinch distortion may occur in respect of a steep change of a luminance level. The circuit which removes this distortion may be connected to the output side of the adaptation interpolation circuit 17C.

0018c. Explain the blocking circuit block-ized circuit 4 with reference to drawing 5, drawing 6, and drawing 7. Since explanation is easy, as the screen of the 1 field shows drawing 6, it assumes that it is the composition of (four lines x 8 pixels) and this screen shows with a dashed line, it is perpendicularly divided into two, and is quadrisected horizontally, and the case where eight blocks of (two lines x 2 pixels) are formed is explained.

0019In drawing 5, as shown in the input terminal shown by 21 at drawing 7 A, input data A which consists of four lines of ($Th_0 - Th_3$) is supplied, and the sampling clocks B (drawing 7 B) which synchronize with input data A are supplied to the input terminal shown by 22. (1-8) of a number show the sample data of line Th_0 , respectively, (11-18) of a number show the sample data of line Th_1 , respectively, (21-28) of a number show the sample data of line Th_2 , respectively, and (31-38) of a number show the sample data of line Th_3 , respectively. Input data A is supplied to the delay circuit 23 of the delaying amount of Th , and the delay circuit 24 of the delaying amount of $2Ts$ (Ts : sampling period). The sampling clocks B are supplied to the $1/2$ frequency divider 27.

0020The output signal C of the delay circuit 24 (drawing 7 C) is supplied to one input terminal of the switching circuits 25 and 26, respectively, and the output signal D of the delay circuit 23 (drawing 7 D) is supplied to the input terminal of another side of the switching circuits 25 and 26, respectively. The switching circuit 25 is controlled by the output signal E of the $1/2$ frequency divider 27 (drawing 7 E), and the switching circuit 26 is controlled by the pulse signal by which pulse signal E was reversed with the inverter 28. The switching circuits 25 and 26 choose an input signal (C or D) by turns every $2Ts$. The output signal F from the switching circuit 25 is shown in drawing 7 F, and the output signal G from the switching circuit 26 is shown in drawing 7 G.

0021The output signal F of the switching circuit 25 is supplied to the delay circuit 30 which has the 1st input terminal of the switching circuit 29, and a delaying amount of $4Ts$. The output signal G of the switching circuit 26 is supplied to the delay circuit 31 which has a delaying amount of $2Ts$. The output signal H of the delay circuit 30 (drawing 7 H) is supplied to the 3rd input terminal of the switching circuit 29. The output signal I of the delay circuit 31 (drawing 7 I) is supplied to the delay circuit 32 which has the 2nd input terminal of the switching circuit 29, and a delaying amount of $4Ts$. The output signal J of the delay circuit 32 (drawing 7 J) is supplied to the 4th input terminal of the switching circuit 29.

0022The output signal of the $1/2$ frequency divider 27 is supplied to the $1/2$ frequency divider 33, and the output signal K (drawing 7 K) is formed in it. The switching circuit 29 is controlled by this signal K, and the 1st, 2nd, 3rd, and 4th input terminals are chosen one by one every $4Ts$ by it. Therefore, the signal L taken out from the switching circuit 29 by the output terminal 34 is shown in drawing 7 L. That is, an order for every field of data is changed into an order (for example, 1->2->11->12) for every block. Of course, unlike the example shown in drawing 6, although there are many actual pixel numbers of the 1 field far, they are changed into an order for every block shown in drawing 3 by the same scanning conversion as ****.

0023d. Dynamic range detector circuit drawing 8 shows the composition of an example of the dynamic range detector circuit 3. The image data of a field to be coded is supplied to the input terminal shown by 41 one by one for every block as mentioned above from the blocking circuit 4. The picture element data from this input terminal 41 is supplied to the selection circuitry 42 and the selection circuitry 43. One selection circuitry 42 chooses and outputs the one where a level is larger between the picture element data of a digital color video signal, and the latch's 44 output data. The selection circuitry 43 of

another side chooses and outputs the one where a level is smaller between the picture element data of an input digital color video signal, and the latch's 45 output data.

0024The output data of the selection circuitry 42 is supplied to the subtractor circuit 46, and it is incorporated into the latch 44. The output data of the selection circuitry 43 is supplied to the subtractor circuit 46 and the latch 48, and it is incorporated into the latch 45. A latch pulse is supplied to the latches 44 and 45 from the control section 49. Timing signals which synchronize with a digital color video signal, such as sampling clocks and a synchronized signal, are supplied to the control section 49 from the terminal 50. The control section 49 supplies a latch pulse to the latches 44 and 45 and the latches 47 and 48 to predetermined timing.

0025By the beginning of each block, initial setting of the latches' 44 and 45 contents is carried out. Initial setting of the data of '0' is altogether carried out to the latch 44, and initial setting of the data of '1' is altogether carried out to the latch 45. A maximum level is stored by the latch 44 in the same picture element data of a block supplied one by one. A minimum level is stored by the latch 45 in the same picture element data of a block supplied one by one.

0026After detection of a maximum level and a minimum level is completed about 1 block, the maximum level of the block concerned arises in the output of the selection circuitry 42. On the other hand, the minimum level of the block concerned arises in the output of the selection circuitry 43. An end of the detection about 1 block will carry out initial setting of the latches 44 and 45 again.

0027The dynamic range DR of each block which subtracts the maximum level MAX from the selection circuitry 42 and the minimum level MIN from the selection circuitry 43 is obtained by the output of the subtractor circuit 46. These dynamic ranges DR and minimum levels MIN are latched to the latches 47 and 48 by the latch pulse from the control block 49, respectively. The dynamic range DR of each block in the latch's 47 output terminal 51 is obtained, and the minimum MIN of each block is obtained by the latch's 48 output terminal 52.

0028e. The quantization circuit quantization circuit 8 performs the coding which was adapted for the dynamic range DR. Drawing 9 shows an example of the quantization circuit 8. In drawing 9, the data conversion table for changing into the number of bits, for example, 4 bits, which had picture-element-data PDI (8 bits) after minimum removal compressed is stored in ROM shown by 55. The dynamic range DR from the input terminal 56 and picture-element-data PDI from the input terminal 57 are supplied as an address signal to ROM55. In ROM55, a data conversion table is chosen by the size of the dynamic range DR, and 4-bit code signal DT is taken out by the output terminal 58.

0029In the quantization circuit 8, as code signal DT shows drawing 10 in the case of 2 bits (an example 4 bits), the dynamic range DR of a block is divided into four fields. This four field is distinguished by code signal DT which is 2 bits of (00), (01), (10), and (11), and let the central level L0, L1, L2, and L3 be the representation levels of each field, respectively. 2-bit code signal DT occurs according to the field where data PDI after minimum removal is contained. Even if the level of the digital color video signal is superimposed on the digital carrier chrominance signal, it has correlation within the block and the dynamic range DR of each block is concentrated on the narrow range by the constant region which is not a transient part. Therefore, even if it quantizes with the number of bits compressed into one half like 4 bits, degradation of image quality hardly arises. Since each pixel is independently coded with other pixels, the rapid level variation of a digital color video signal can be reproduced, and a frequency characteristic is made as compared with DPCM as it is good.

0030The picture element data which has each level of the minimum level MIN and the maximum level MAX always exists in 1 block. Therefore, in order for an error to increase the code signal of 0, as shown in drawing 11, it divides into the dynamic range DR (however $(2^m - 1)$, m, quantifying bit number), the minimum level MIN is made into representation minimum RE ** RU L0, and it is good also considering maximum RE ** RU MAX as the representation maximum level L3.

0031The composition etc. which consist of a comparison circuit for judging the level region where the divider which divides the dynamic range DR in addition to ROM, and

data PDI after minimum removal belong may be used for the quantization circuit 8.

0032f. An example of the peripheral pixel extracting circuit 16 established in the peripheral pixel extracting circuit receiver is shown in drawing 12. In drawing 12, the digital color video signal (sampling frequency: $2f_{sc}$) from the blocking circuit 4 is supplied to the input terminal shown by 60. 61 and 62 are the line delay circuits which have a delaying amount of one horizontal cycle, respectively. 63 thru/ or 71 are the sample delay circuits which have a delaying amount of 1 sampling period ($1/2f_{sc}$), respectively.

0033The data of the line before the present line where the data supplied to the input terminal 60 belongs is obtained from the line delay circuit 61, and also the data of a front line is obtained from the line delay circuit 62. One side with the data by which the present data and this data of the line were delayed by the sample delay circuit 63 is chosen in the switching circuit 72. One side with the data by which the front data and this data of the line were delayed by the sample delay circuit 64 is chosen in the switching circuit 73. The switching circuits 72 and 73 are changed with a horizontal cycle by the common switching control signal from the terminals 74 and 75. In the pattern (refer to drawing 4) of subsampling, these switching circuits 72 and 73 are formed in order to amend the phase shift of 1 sampling period generated for every line. The series connection of two pieces or the three sample delay circuits is carried out to the output terminal of the line delay circuit 61, and the output terminal of the switching circuits 72 and 73, respectively. Data x_1 of a peripheral pixel - x_{10} are taken out from the interstage and output side of a series connection of a sample delay circuit.

0034Drawing 13 shows the position of ten peripheral pixels taken out by the above-mentioned peripheral pixel extracting circuit 16 about the noticed picture element (true data is x_0) of the object of interpolation. In A/D converter 2, since the sampling frequency is set to $4f_{sc}$, the phase (expressed with O^{**}) of four pieces is periodically repeated about the phase of a color subcarrier. O And the phase of the color subcarrier of - and the phase of the color subcarrier which $**$ Reaches are opposite phases.

0035When data x_{12} in drawing 13 is supplied to the input terminal 60, data x_7 and data x_{12} are obtained by the output of the line delay circuits 61 and 62, respectively. In the state where each of the switching circuits 72 and 73 has chosen each output signal of the sample delay circuits 63 and 64, data x_{10} and data x_3 are obtained from the switching circuits 72 and 73, respectively. Data x_2 and data x_1 are obtained from the sample delay circuits 70 and 71, respectively, The data x_6, x_5 , and x_4 are obtained from the sample delay circuits 67, 68, and 69, respectively, and data x_9 and x_8 are obtained from the sample delay circuits 65 and 66, respectively. Data x_1 of these peripheral pixels - x_{10} are supplied to the pattern classifying circuit 17A, and the adaptation interpolation circuit 17C is supplied via the delay circuit 17B.

0036g. Change the pattern classifying circuit pattern classifying circuit 17A into pattern information b_1 which expresses a pattern for data x_1 of a peripheral pixel - x_{10} ($8\text{bit} \times 10$) ($2\text{bit} \times 10$) - b_{10} . Drawing 14 shows an example of the pattern classifying circuit 17A.

0037Data x_1 of a peripheral pixel - x_{10} are supplied to the adder-circuit group 77 surrounded and shown with a dashed line, and the added output of the adder-circuit group 77 is supplied to the ratio circuit 78. The ratio circuit 78 changes an added output into $(1/10)$, and the average value of data x_1 of a peripheral pixel - x_{10} is acquired from the ratio circuit 78. Data x_1 of a peripheral pixel - x_{10} are supplied to ten comparison circuits of the comparison circuit group 79 surrounded and shown with a dashed line, respectively. The average value from the ratio circuit 78 is supplied to the comparison circuit of the comparison circuit group 79 in common. In ten comparison circuits of the comparison circuit group 79, data x_1 - x_{10} , and the average value of a peripheral pixel are compared, respectively, and comparison output signal b_1 of a binary - b_{10} occur, respectively. This comparison output signal b_1 - b_{10} are pattern information. The pattern classification of a kind ($2^{10}=1024$) is made by 10-bit pattern information b_1 - b_{10} .

0038In this example, the peripheral pixel used for a pattern classification is used also in the adaptation interpolation circuit 17C. Therefore, the peripheral pixel extracting circuit 16 can have common composition to the pattern classifying circuit 17A and the adaptation interpolation circuit 17C. However, it is not necessary to use a common pixel

with a pattern classification and interpolation, and is good also as separate in both.

0039h. Adaptation interpolation circuit drawing 15 shows an example of the adaptation interpolation circuit 17C. The coefficient identified beforehand is stored in ROM shown by 81 thru/or 90 in drawing 15. 1024 coefficient a_1 according to a pattern is stored in ROM81, 1024 coefficient a_2 according to a pattern is stored in ROM82, and 1024 coefficient $a_3 - a_{10}$ are stored in ROMs 83-90 like the following, respectively. 10-bit pattern information $b_1 - b_{10}$ are supplied to these ROMs 81-90 from the pattern classifying circuit 17A as an address signal. Therefore, pattern information $b_1 - b_{10}$ coefficient a_1 according to $b_{10} - a_{10}$ are read from ROMs 81-90.

0040 Coefficient a_1 read from each of ROMs 81-90 - a_{10} are supplied to the multiplication circuits 91-100. Data x_1 of a peripheral pixel - x_{10} are supplied to the multiplication circuits 91-100, respectively, and they are $a_1 x_1, a_2 x_2$, and as an output signal of the multiplication circuits 91-100... $a_{10}x_{10}$ is obtained, respectively. The output signal of these multiplication circuits 91-100 is added by the adder circuits 101, 102, and 103 and ---109, and interpolation value x_0^{\wedge} is obtained from the adder circuit 109 of a final stage.

0041 The above-mentioned adaptation interpolation circuit 17C is the two-dimensional filter designed by the segment of time. That is, in the adaptation interpolation circuit 17C, an infanticide pixel is predicted as primary combination of coefficient a_1 beforehand identified ten received-data (subsampling data) x_1 which exists around the infanticide pixel which it is going to interpolate - $x_{10} - a_{10}$. In this case, if the difference signal of the output signal of a true value and the adaptation interpolation circuit 17C is considered to be an error, a meaning will be asked for the coefficient of primary combination by making a square error into the minimum. Identification of this coefficient is explained below.

0042 Digital color video signal x_0^{\wedge} in a noticed picture element can be approximated by primary combination of ten picture-element-data x_1 around a noticed picture element - x_{10} .

0043 In order to identify coefficient $a_1 - a_{10}$, with a video camera, one sheet or several different pictures are photoed, an imaging signal is changed into an NTSC signal, and this NTSC signal is changed into a digital signal. The data of all the pixels of a digital color video signal is classified into 1024 patterns according to the same composition as the above-mentioned pattern classifying circuit 17A. In a computer, coefficient $a_1 - a_{10}$ are identified for every pattern by a least square method using the data of each pattern, and the data of a peripheral pixel. That is, the actual data of a certain pattern picturized with the video camera is applied, Estimation data x_0^{\wedge} compounded as the multiplication of the coefficient was carried out to data x_1 of a peripheral pixel - x_{10} and it was shown in the upper type, True-value x_0 is compared and coefficient a_1 from which the square error $(x_0^{\wedge} - x_0)^2$ serves as the minimum - a_{10} are calculated. If an error is set to e when the data of i pixels is contained in one pattern in 1024 patterns, the relation of the following formula will be materialized

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-317346

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl.⁸

H 0 4 N 7/01
7/24

識別記号

庁内整理番号

F I

H 0 4 N 7/01
7/13

技術表示箇所

G
Z

審査請求 有 発明の数 1 F D (全 10 頁)

(21) 出願番号 特願平8-34412
(62) 分割の表示 特願昭61-191431の分割
(22) 出願日 昭和61年(1986)8月15日

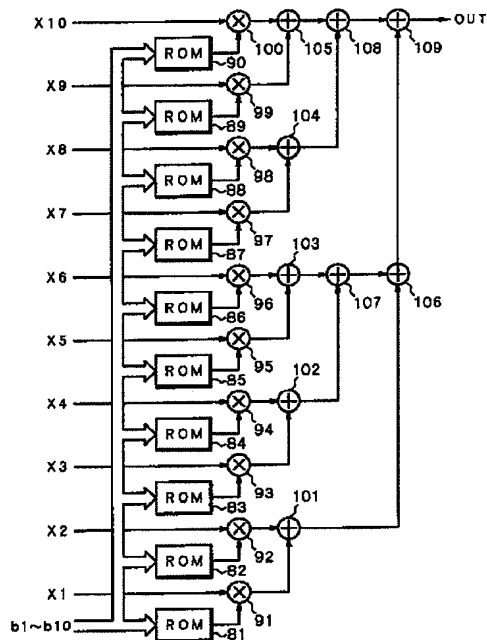
(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 近藤 哲二郎
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 デジタルビデオ信号変換装置及び変換方法

(57) 【要約】

【課題】 入力デジタル画像信号より高い解像度の出力デジタル画像信号を生成する。

【解決手段】 ROM 81～90には、予め基準データを使用して同定された係数が格納されている。この係数は、補間しようとする画素の周辺の10個の画素のパターン毎に決定され、格納される。パターン分類回路から10ビットのパターンデータ $b_1 \sim b_{10}$ がROM 81～90に対してアドレス信号として供給される。ROM 81～90からパターンデータに応じて読出された係数 $a_1 \sim a_{10}$ が乗算回路91～100に供給され、周辺画素データ $x_1 \sim x_{10}$ と乗算される。乗算回路91～100の出力が加算回路101～109によって加算され、加算回路109から注目画素の補間値が取り出される。



適応補間回路

【特許請求の範囲】

【請求項1】 第1のデジタルビデオ信号から上記第1のデジタルビデオ信号より画素数の多い第2のデジタルビデオ信号を生成するデジタルビデオ信号生成装置において、

生成されるべき注目画素の周囲に存在する上記第1のデジタルビデオ信号に含まれる複数の周辺画素を受け取り、その複数の周辺画素からその注目画素のパターンを検出し、上記検出されたパターンを示すパターンデータを発生する手段と、

基準のデータを用いて、生成されるべき注目画素と真値との誤差の自乗和が最小となるように、最小自乗和法により予め定められた各パターン毎の係数群が格納された格納手段と、

上記パターンデータに基づいて上記格納手段から読み出された上記パターンデータに対応する係数群と上記第1のデジタルビデオ信号を受け取り、上記係数群と上記第1のデジタルビデオ信号から上記注目画素を生成する手段とからなることを特徴とするデジタルビデオ信号変換方法。

【請求項2】 第1のデジタルビデオ信号から上記第1のデジタルビデオ信号より画素数の多い第2のデジタルビデオ信号を生成するデジタルビデオ信号生成方法において、

生成されるべき注目画素の周囲に存在する上記第1のデジタルビデオ信号に含まれる複数の周辺画素を受け取り、その複数の周辺画素からその注目画素のパターンを検出し、上記検出されたパターンを示すパターンデータを発生するステップと、

基準のデータを用いて、生成されるべき注目画素と真値との誤差の自乗和が最小となるように、最小自乗和法により予め定められた各パターン毎の係数群を格納するステップと、

上記パターンデータに基づいて読み出された上記パターンデータに対応する係数群と上記第1のデジタルビデオ信号を受け取り、上記係数群と上記第1のデジタルビデオ信号から上記注目画素を生成するステップとからなることを特徴とするデジタルビデオ信号変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、入力デジタル画像信号を用いて入力デジタル画像信号に存在しない画素を生成するようにしたデジタルビデオ信号変換装置及び変換方法に関する。

【0002】

【従来の技術】 ビデオ信号を符号化して得られるデジタルビデオ信号を伝送する場合、伝送帯域を狭くするためにサブサンプリングが用いられる。サブサンプリングによって例えば1/2の画素の画像データが間引かれる。受信側には、この間引き画素を補間する補間回路が

設けられている。従来では、この補間回路として、周波数領域で設計されたデジタルローパスフィルタが使用されていた。

【0003】

【発明が解決しようとする課題】 周波数領域で補間フィルタを設計する場合、入出力信号の周波数特性から経験に基づく繰り返し操作が必要とされ、また、デジタルビデオ信号のサンプリング周波数が違う時には、各サンプリング周波数に応じて補間フィルタを設計することが必要であった。従って、補間フィルタの設計が面倒であり、また、汎用性が乏しい欠点があった。また、輝度信号に搬送色信号が重畳されたコンポジットカラービデオ信号の場合、搬送色信号の位相を考慮する必要があるため、従来の補間フィルタは、適用が困難であった。さらに、補間フィルタによる補間は、解像度が劣化する欠点があった。

【0004】 従って、この発明の目的は、補間フィルタを用いた場合の上述した欠点が解消されたデジタルビデオ信号変換装置及び変換方法を提供することにある。

20 【0005】

【課題を解決するための手段】 この発明は、第1のデジタルビデオ信号から第1のデジタルビデオ信号より画素数の多い第2のデジタルビデオ信号を生成するデジタルビデオ信号生成装置において、生成されるべき注目画素の周囲に存在する第1のデジタルビデオ信号に含まれる複数の周辺画素を受け取り、その複数の周辺画素からその注目画素のパターンを検出し、検出されたパターンを示すパターンデータを発生する手段と、基準のデータを用いて、生成されるべき注目画素と真値との誤差の自乗和が最小となるように、最小自乗和法により予め定められた各パターン毎の係数群が格納された格納手段と、パターンデータに基づいて格納手段から読み出されたパターンデータに対応する係数群と第1のデジタルビデオ信号を受け取り、係数群と第1のデジタルビデオ信号から注目画素を生成する手段とからなることを特徴とするデジタルビデオ信号変換装置である。また、この発明は、上述のように処理を行う変換方法である。

【0006】 同一のフィールド（又はフレーム）内で間引き画素を取り囲む所定数の実在する画像データと所定数の係数との線形1次結合で注目画素の画像データが予測される。補間しようとする画素を取り囲む複数の実在する画像データを用いて局所的なパターンが検出され、このパターンに適応して補間回路の係数が択一的に設定される。この予測された補間値と真値との誤差の自乗和を最小にするように予め係数がパターン毎に定められる。この発明によるデジタルビデオ信号変換装置及び変換方法は、局所的なパターンに応じた最適な係数が用いられ、入力デジタルビデオ信号より高い解像度を得る出力デジタルビデオ信号を得ることができる。

【0007】

【発明の実施の形態】以下、この発明の一実施例について図面を参照して説明する。この説明は、下記の項目の順序でなされる。

- a. 送信側の構成
- b. 受信側の構成
- c. ブロック化回路
- d. ダイナミックレンジ検出回路
- e. 量子化回路
- f. 周辺画素抽出回路
- g. パターン分類回路
- h. 適応補間回路
- i. 変形例

【0008】 a. 送信側の構成

図1は、送信側（記録側）の構成を全体として示すものである。1で示す入力端子に例えばNTSC方式のカラービデオ信号が供給される。このカラービデオ信号がA/D変換器2に供給され、例えば4fsc(fsc:カラーサブキャリア周波数)のサンプリング周波数で1サンプルが8ビットに量子化されたデジタルカラービデオ信号がA/D変換器2から得られる。このデジタルカラービデオ信号がサブサンプリング回路3に供給され、サブサンプリング回路3の出力信号がブロック化回路4に供給される。サブサンプリング回路3の前段には、帯域制限用のプリフィルタが設けられず、入力カラービデオ信号の高域成分が失われない。

【0009】サブサンプリング回路3において、デジタルカラービデオ信号が2fscのサンプリング周波数でサンプリングされる。また、ブロック化回路4により、入力デジタルテレビジョン信号が符号化の単位である2次元ブロック毎に連続する信号に変換される。この実施例では、1フィールドの画面が分割されてなる1ブロックが(4ライン×8画素=32画素)の大きさとされている。

【0010】図3は、この1ブロックを示すものであり、図3において、実線は、奇数フィールドのラインを示し、破線は、偶数フィールドのラインを示す。この例と異なり、例えば4フレームの各フレームに属する4個の2次元領域から構成された3次元ブロックに対してもこの発明が適用できる。ブロック化回路4の前段に設けられたサブサンプリング回路3によって、ブロック内の画素が図4に示すように間引かれ、1ブロックの画素数が16画素とされる。図4において○がサブサンプリングされた画素を示し、×が間引かれた画素を示す。

【0011】ブロック化回路4の出力信号がダイナミックレンジ検出回路5及び遅延回路6に供給される。ダイナミックレンジ検出回路5は、ブロック毎にダイナミックレンジDR及び最小値MINを検出する。遅延回路6からの画素データPDが減算回路7に供給され、減算回路7において、最小値MINが除去された画素データP

DIが形成される。

【0012】量子化回路8には、サブサンプリングされ、減算回路7を介された最小値除去後の画素データPDI及びダイナミックレンジDRが供給される。量子化回路8では、ダイナミックレンジDRに適応して画素データPDIの量子化が行われる。量子化回路8からは、1画素データが4ビットに変換されたコード信号DTが得られる。

【0013】この量子化回路8からのコード信号DTがフレーム化回路9に供給される。フレーム化回路9には、ブロック毎の付加コードとして、ダイナミックレンジDR(8ビット)及び最小値MIN(8ビット)が供給される。フレーム化回路9は、コード信号DT及び上述の付加コードに誤り訂正符号化の処理を施し、また同期信号を付加する。フレーム化回路9の出力端子10に送信データが得られ、この送信データがデジタル回線等の伝送路に送出される。デジタルVTRの場合には、出力信号が記録アンプ、回転トランス等を介して回転ヘッドに供給される。

【0014】 b. 受信側の構成

図2は、受信（又は再生）側の構成を示す。入力端子11からの受信データは、フレーム分解回路12に供給される。フレーム分解回路12により、コード信号DTと付加コードDR、MINとが分離されると共に、エラー訂正処理がなされる。コード信号DTが復号化回路13に供給され、ダイナミックレンジDRが復号化回路13に供給される。

【0015】復号化回路13は、送信側の量子化回路8の処理と逆の処理を行う。即ち、8ビットの最小レベル除去後のデータが代表レベルに復号され、このデータと8ビットの最小値MINとが加算回路14により加算され、元の画素データが復号される。加算回路14の出力データがブロック分解回路15に供給される。ブロック分解回路15は、送信側のブロック化回路4と逆に、ブロックの順番の復号データをテレビジョン信号の走査と同様の順番に変換するための回路である。ブロック分解回路15の出力信号が周辺画素抽出回路16に供給される。この周辺画素抽出回路16において、補間しようとする間引き画素を取り囲む10個の画素の存在する画像データ(サブサンプルデータ) $x_1 \sim x_{10}$ が取り出される。

【0016】周辺画素抽出回路16からのサブサンプルデータ $x_1 \sim x_{10}$ がパターン分類回路17A及び遅延回路17Bに供給される。遅延回路17Bの出力信号が適応補間回路17Cに供給される。パターン分類回路17Aでは、周辺の10個のサブサンプルデータが10ビットで表されるパターンデータに変換される。後述するように、10個のサブサンプルデータの平均値が算出され、10個のサブサンプルデータが平均値と夫々比較されることにより、論理レベルの“0”又は“1”に変換

5

される。この10ビットの集合がパターンデータとして用いられる。従って、($2^{10}=1024$)通りのパターンがありうる。パターンデータが適応補間回路17Cに供給される。

【0017】適応補間回路17Cでは、間引かれた画素のデータが周囲のサブサンプルデータにより補間される。この場合、パターンデータに応じた補間がなされる。適応補間回路17Cからのサンプリング周波数 $4f_s$ のデジタルカラービデオ信号がD/A変換器18に供給される。D/A変換器18の出力端子19にアナログカラービデオ信号が得られる。送信側でプリフィルタが設けられていない場合、折り返し歪が例えば輝度レベルの急峻な変化の点で発生するおそれがある。この歪を除去する回路を適応補間回路17Cの出力側に接続しても良い。

【0018】c. ブロック化回路

ブロック化回路4について図5、図6及び図7を参照して説明する。説明の簡単のため、1フィールドの画面が図6に示すように、(4ライン×8画素)の構成と仮定し、この画面が破線で示すように、垂直方向に2分割され、水平方向に4分割され、(2ライン×2画素)の8個のブロックが形成される場合について説明する。

【0019】図5において、21で示す入力端子に図7Aに示すように、($T_{h0} \sim T_{h3}$)の4ラインからなる入力データAが供給され、22で示す入力端子に入力データAと同期しているサンプリングクロックB(図7B)が供給される。数字の(1~8)がライン T_{h0} のサンプルデータを夫々示し、数字の(11~18)がライン T_{h1} のサンプルデータを夫々示し、数字の(21~28)がライン T_{h2} のサンプルデータを夫々示し、数字の(31~38)がライン T_{h3} のサンプルデータを夫々示す。入力データAが T_h の遅延量の遅延回路23及び $2T_s$ (T_s :サンプリング周期)の遅延量の遅延回路24に供給される。また、サンプリングクロックBが1/2分周回路27に供給される。

【0020】遅延回路24の出力信号C(図7C)がスイッチ回路25及び26の一方の入力端子に夫々供給され、遅延回路23の出力信号D(図7D)がスイッチ回路25及び26の他方の入力端子に夫々供給される。スイッチ回路25は、1/2分周回路27の出力信号E(図7E)により制御され、また、スイッチ回路26はパルス信号Eがインバータ28により反転されたパルス信号により制御される。スイッチ回路25及び26は、 $2T_s$ 毎に交互に入力信号(C又はD)を選択する。スイッチ回路25からの出力信号Fが図7Fに示され、スイッチ回路26からの出力信号Gが図7Gに示される。

【0021】スイッチ回路25の出力信号Fがスイッチ回路29の第1の入力端子及び $4T_s$ の遅延量を有する遅延回路30に供給される。スイッチ回路26の出力信号Gが $2T_s$ の遅延量を有する遅延回路31に供給され

6

る。遅延回路30の出力信号H(図7H)がスイッチ回路29の第3の入力端子に供給される。遅延回路31の出力信号I(図7I)がスイッチ回路29の第2の入力端子及び $4T_s$ の遅延量を有する遅延回路32に供給される。遅延回路32の出力信号J(図7J)がスイッチ回路29の第4の入力端子に供給される。

【0022】1/2分周回路33には、1/2分周回路27の出力信号が供給され、出力信号K(図7K)が形成される。この信号Kによってスイッチ回路29が制御され、 $4T_s$ 毎に第1、第2、第3及び第4の入力端子が順次選択される。従って、スイッチ回路29から出力端子34に取り出される信号Lは、図7Lに示すものとなる。つまり、データのフィールド毎の順序がブロック毎の順序(例えば $1 \rightarrow 2 \rightarrow 11 \rightarrow 12$)に変換される。勿論、1フィールドの実際の画素数は、図6に示される例と異なってはるかに多いが、上述と同様の走査変換によって、図3に示すブロック毎の順序に変換される。

【0023】d. ダイナミックレンジ検出回路

図8は、ダイナミックレンジ検出回路3の一例の構成を示す。41で示される入力端子には、ブロック化回路4から前述のように、1ブロック毎に符号化が必要な領域の画像データが順次供給される。この入力端子41からの画素データは、選択回路42及び選択回路43に供給される。一方の選択回路42は、デジタルカラービデオ信号の画素データとラッチ44の出力データとの間で、よりレベルの大きい方を選択して出力する。他方の選択回路43は、入力デジタルカラービデオ信号の画素データとラッチ45の出力データとの間で、よりレベルの小さい方を選択して出力する。

【0024】選択回路42の出力データが減算回路46に供給されると共に、ラッチ44に取り込まれる。選択回路43の出力データが減算回路46及びラッチ48に供給されると共に、ラッチ45に取り込まれる。ラッチ44及び45には、ラッチパルスが制御部49から供給される。制御部49には、デジタルカラービデオ信号と同期するサンプリングクロック、同期信号等のタイミング信号が端子50から供給される。制御部49は、ラッチ44、45及びラッチ47、48にラッチパルスを所定のタイミングで供給する。

【0025】各ブロックの最初で、ラッチ44及び45の内容が初期設定される。ラッチ44には、全て‘0’のデータが初期設定され、ラッチ45には、全て‘1’のデータが初期設定される。順次供給される同一のブロックの画素データの中で、最大レベルがラッチ44に貯えられる。また、順次供給される同一のブロックの画素データの中で、最小レベルがラッチ45に貯えられる。

【0026】最大レベル及び最小レベルの検出が1ブロックに関して終了すると、選択回路42の出力に当該ブロックの最大レベルが生じる。一方、選択回路43の出力に当該ブロックの最小レベルが生じる。1ブロックに

関しての検出が終了すると、ラッチ44及び45が再び初期設定される。

【0027】減算回路46の出力には、選択回路42からの最大レベルMAX及び選択回路43からの最小レベルMINを減算してなる各ブロックのダイナミックレンジDRが得られる。これらのダイナミックレンジDR及び最小レベルMINが制御ブロック49からのラッチパルスにより、ラッチ47及び48に夫々ラッチされる。ラッチ47の出力端子51に各ブロックのダイナミックレンジDRが得られ、ラッチ48の出力端子52に各ブ

ロックの最小値MINが得られる。

【0028】e. 量子化回路
量子化回路8は、ダイナミックレンジDRに適応した符号化を行う。図9は、量子化回路8の一例を示す。図9において、55で示すROMには、最小値除去後の画素データPDI(8ビット)を圧縮されたビット数例えば4ビットに変換するためのデータ変換テーブルが格納されている。ROM55に対して、入力端子56からのダイナミックレンジDRと入力端子57からの画素データPDIとがアドレス信号として供給される。ROM55では、ダイナミックレンジDRの大きさによりデータ変換テーブルが選択され、出力端子58に4ビットのコード信号DTが取り出される。

【0029】量子化回路8においては、コード信号DTが2ビット(実施例では、4ビット)の場合、図10に示すように、ブロックのダイナミックレンジDRが4個の領域に分割される。この4個の領域が(00)(01)(10)(11)の2ビットのコード信号DTにより区別され、中央のレベルL0、L1、L2、L3が夫々各領域の代表レベルとされる。最小値除去後のデータPDIが含まれる領域に応じて2ビットのコード信号DTが発生する。デジタルカラービデオ信号のレベルは、デジタル搬送色信号が重畳されていても、ブロック内で相関を有しており、各ブロックのダイナミックレンジDRは、過渡部でない定常部では、狭い範囲に集中している。従って、4ビットのように、1/2に圧縮されたビット数で量子化しても画質の劣化が殆ど生じない。また、各画素が他の画素と独立して符号化されるので、デジタルカラービデオ信号の急激なレベル変化を再現することができ、DPCMと比較して周波数特性を良好と

【0030】なお、最小レベルMIN及び最大レベルMAXの夫々のレベルを有する画素データが1ブロック内に必ず存在している。従って、誤差が0のコード信号を多くするには、図11に示すように、ダイナミックレンジDRを $(2^m - 1)$ (但し、mは、量子化ビット数)に分割し、最小レベルMINを代表最小レベルL0とし、最大レベルMAXを代表最大レベルL3としても良い。

【0031】また、量子化回路8は、ROM以外にダイナミックレンジDRを分割する割算器及び最小値除去後

のデータPDIが属するレベル領域を判定するための比較回路からなる構成等を使用しても良い。

【0032】f. 周辺画素抽出回路

受信側に設けられている周辺画素抽出回路16の一例を図12に示す。図12において、60で示す入力端子にブロック化回路4からのデジタルカラービデオ信号(サンプリング周波数: 2fsc)が供給される。61、62が1水平周期の遅延量を夫々持つライン遅延回路である。また、63乃至71が1サンプリング周期(1/2fsc)の遅延量を夫々持つサンプル遅延回路である。

【0033】入力端子60に供給されるデータの属する現在のラインより前のラインのデータがライン遅延回路61から得られ、更に前のラインのデータがライン遅延回路62から得られる。現在のラインのデータとこのデータがサンプル遅延回路63により遅延されたデータとの一方がスイッチ回路72において選択される。更に前のラインのデータとこのデータがサンプル遅延回路64により遅延されたデータとの一方がスイッチ回路73において選択される。スイッチ回路72及び73は、端子74及び75からの共通のスイッチングコントロール信号によって水平周期で切り替えられる。これらのスイッチ回路72及び73は、サブサンプリングのパターン(図4参照)において、1ライン毎に発生する1サンプリング周期の位相ずれを補正するために設けられている。ライン遅延回路61の出力端子及びスイッチ回路72、73の出力端子に2個又は3個のサンプル遅延回路が夫々直列接続される。サンプル遅延回路の直列接続の段間及び出力側から周辺画素のデータ $x_1 \sim x_{10}$ が取り出される。

【0034】図13は、補間の対象の注目画素(真のデータが x_0)に関して上述の周辺画素抽出回路16により取り出される10個の周辺画素の位置を示す。A/D変換器2では、サンプリング周波数が4fscとされているので、カラーサブキャリアの位相に関して4個の位相(○△●▲で表される)が周期的に繰り返される。○及び●のカラーサブキャリアの位相並びに△及び▲のカラーサブキャリアの位相が逆相である。

【0035】図13におけるデータ x_{12} が入力端子60に供給される時にライン遅延回路61及び62の出力には、データ x_7 及びデータ x_{12} が夫々得られる。スイッチ回路72及び73の夫々がサンプル遅延回路63及び64の夫々の出力信号を選択している状態では、スイッチ回路72及び73からデータ x_{10} 及びデータ x_8 が夫々得られる。また、サンプル遅延回路70及び71からデータ x_2 及びデータ x_1 が夫々得られ、サンプル遅延回路67、68及び69からデータ x_6 、 x_5 及び x_4 が夫々得られ、サンプル遅延回路65及び66からデータ x_9 及び x_3 が夫々得られる。これらの周辺画素のデータ $x_1 \sim x_{10}$ がパターン分類回路17Aに供給されると共に、遅延回路17Bを介して適応補間回路17Cに供

給される。

【0036】g. パターン分類回路

パターン分類回路17Aは、周辺画素のデータ $x_1 \sim x_{10}$ (8ビット×10)をパターンを表す(2ビット×10)のパターンデータ $b_1 \sim b_{10}$ に変換する。図14は、パターン分類回路17Aの一例を示す。

【0037】破線で囲んで示す加算回路群77に周辺画素のデータ $x_1 \sim x_{10}$ が供給され、加算回路群77の加算出力が割算回路78に供給される。割算回路78は、加算出力を(1/10)に変換し、割算回路78から周辺画素のデータ $x_1 \sim x_{10}$ の平均値が得られる。また、破線で囲んで示す比較回路群79の10個の比較回路に対して周辺画素のデータ $x_1 \sim x_{10}$ が夫々供給される。比較回路群79の比較回路には、割算回路78からの平均値が共通に供給される。比較回路群79の10個の比較回路では、周辺画素のデータ $x_1 \sim x_{10}$ と平均値とが夫々比較され、2値の比較出力信号 $b_1 \sim b_{10}$ が夫々発生する。この比較出力信号 $b_1 \sim b_{10}$ がパターンデータである。10ビットのパターンデータ $b_1 \sim b_{10}$ によって、(2¹⁰=1024)種類のパターン分類がなされる。

【0038】この例では、パターン分類に用いる周辺画素が適応補間回路17Cにおいても用いられる。従って、周辺画素抽出回路16がパターン分類回路17A及び適応補間回路17Cに対して共通の構成とすることができる。しかしながら、パターン分類と補間とで共通の画素を使用する必要がなく、両者を別個としても良い。

【0039】h. 適応補間回路

図15は、適応補間回路17Cの一例を示す。図15において、81乃至90で示されるROMには、予め同定された係数が格納されている。ROM81には、パターンに応じた1024個の係数 a_1 が格納され、ROM82には、パターンに応じた1024個の係数 a_2 が格納され、以下同様にROM83~90に夫々1024個の係数 $a_3 \sim a_{10}$ が格納されている。これらのROM81~90には、アドレス信号としてパターン分類回路17Aから10ビットのパターンデータ $b_1 \sim b_{10}$ が供給される。従って、ROM81~90からは、パターンデータ $b_1 \sim b_{10}$ に応じた係数 $a_1 \sim a_{10}$ が読み出される。

【0040】ROM81~90の夫々から読み出された係数 $a_1 \sim a_{10}$ が乗算回路91~100に供給される。乗算回路91~100には、周辺画素のデータ $x_1 \sim x_{10}$ が夫々供給され、乗算回路91~100の出力信号と

して、 $a_1 \cdot x_1, a_2 \cdot x_2, \dots, a_{10} \cdot x_{10}$ が夫々得られる。この乗算回路91~100の出力信号が加算回路101, 102, 103, ..., 109によって加算され、最終段の加算回路109から補間値 x_0^* が得られる。

【0041】上述の適応補間回路17Cは、時間領域で設計された2次元フィルタである。つまり、適応補間回路17Cでは、補間しようとする間引き画素の周辺に存在する10個の受信データ(サブサンプルデータ) $x_1 \sim x_{10}$ と予め同定された係数 $a_1 \sim a_{10}$ の1次結合として、間引き画素が予測される。この場合、真値と適応補間回路17Cの出力信号の差信号を誤差と考えれば、自乗誤差を最小にすることによって、1次結合の係数が一意に求められる。この係数の同定について以下に説明する。

【0042】注目画素におけるデジタルカラービデオ信号 x_0^* は、注目画素の周囲の10個の画素データ $x_1 \sim x_{10}$ の1次結合で近似できる。

$$\begin{aligned} x_0^* = & a_1 \cdot x_1 + a_2 \cdot x_2 + a_3 \cdot x_3 \\ & + a_4 \cdot x_4 + a_5 \cdot x_5 + a_6 \cdot x_6 \\ & + a_7 \cdot x_7 + a_8 \cdot x_8 + a_9 \cdot x_9 \\ & + a_{10} \cdot x_{10} \end{aligned}$$

【0043】係数 $a_1 \sim a_{10}$ を同定するには、ビデオカメラによって1枚或いは異なる複数の画像を撮影し、撮像信号をNTSC信号に変換し、このNTSC信号をデジタル信号に変換する。上述のパターン分類回路17Aと同様の構成により、デジタルカラービデオ信号の全ての画素のデータを1024個のパターンに分類する。各パターンのデータと周辺画素のデータとを用いて、コンピュータにおいて最小自乗法により係数 $a_1 \sim a_{10}$ がパターン毎に同定される。つまり、ビデオカメラにより撮像されたある絵柄の実際のデータを適用して、周辺画素のデータ $x_1 \sim x_{10}$ に係数を乗算し、上式に示す通り合成された推定データ x_0^* と、真値 x_0 とを比較し、その自乗誤差 $(x_0^* - x_0)^2$ が最小となる係数 $a_1 \sim a_{10}$ が計算される。1024個のパターンの中の一つのパターンに1個の画素のデータが含まれる場合、誤差を e とすると、下記の式の関係が成立する。

【0044】

【数1】

$$\begin{array}{c} 11 \end{array}
 \left[\begin{array}{cccc} x_1(1) & x_2(1) & \cdots & x_{10}(1) \\ x_1(2) & x_2(2) & \cdots & x_{10}(2) \\ \vdots & \vdots & & \vdots \\ x_1(i) & x_2(i) & \cdots & x_{10}(i) \end{array} \right]
 \begin{array}{c} 12 \end{array}
 \left[\begin{array}{c} a_1 \\ a_2 \\ \vdots \\ a_{10} \end{array} \right]$$

$$= \left[\begin{array}{c} x_0(1) \\ x_0(2) \\ \vdots \\ x_0(i) \end{array} \right] + \left[\begin{array}{c} e(1) \\ e(2) \\ \vdots \\ e(i) \end{array} \right]$$

【0045】 $x_1(i) \sim x_{10}(i)$ は、 $x_0(1)$ に対して、図13に示す位置関係にある10個の周囲画素のデータである。上式から誤差分散が最も小さくなる時の係数 $a_1, a_2, a_3, \dots, a_{10}$ が、コンピュータで計算される。

【0046】上式は、 X を $(i \times 10)$ の行列とし、係数 $a_1 \sim a_{10}$ をベクトル $[A]$ で表し、真値 $x_0(1) \sim x_0(i)$ をベクトル $[X]$ で表し、誤差 $e(1) \sim e(i)$ をベクトル $[e]$ で表すと、
 $X \cdot [A] = [X] + [e]$

【0047】この誤差ベクトル $[e]$ の自乗誤差を最小にする係数が求められる。誤差分散 $[e]^T \cdot [e]$ を最小にするように、 $[A]$ を求めると、

$$[A] = (X^T X)^{-1} X^T \cdot [X]$$

以上の係数 $a_1 \sim a_{10}$ の同定が各パターンについて予めなされ、ROM81~90に格納されている。

【0048】なお、補間に使用する周辺画素は、同一フィールド内に限らず同一フレーム内のデータを使用することができ、また、10個以外の個数を使用することができる。

【0049】1. 変形例

この発明は、ダイナミックレンジに適応した符号化方式として、固定長の符号化方式に限らず、可変長の符号化方式に対しても適用できる。可変長の符号化方式では、ブロック毎のダイナミックレンジDRが所定の量子化歪と対応する量子化ステップでもって分割され、即ち、ダイナミックレンジDRがダイナミックレンジDRに適応した個数のレベル範囲に分割され、最小値除去後のデータが属するレベル範囲と対応するコード信号が形成される。

【0050】以上の説明では、コード信号DTとダイナミックレンジDRと最小値MINとを送信している。しかし、付加コードとしてダイナミックレンジDRの代わりに最大値MAX、量子化ステップ又は最大歪を伝送しても良い。

【0051】また、入力信号のブロック化の処理を行ってからサブサンプリングを行っても良い。更に、1ブロックのデータをフレームメモリ、ライン遅延回路、サン

ブル遅延回路を組み合わせた回路により、同時に取り出すようにしても良く、輝度信号のみの処理に対しても、この発明は適用できる。

【0052】

【発明の効果】この発明は、従来のフィルタ処理によっては不可能であった、入力ディジタルビデオ信号の解像度より高い解像度を創造することが可能となる利点がある。特に、この発明は、注目画素のパターンをその周辺に実在する複数の画素から求め、このパターン毎に予め係数を同定し、同定された係数と周辺の実在画素との線形1次結合により注目画素の値を予測するので、精度の高い予測を行うことができる利点がある。

【図面の簡単な説明】

【図1】この発明を適用できるカラービデオ信号の伝送システムの送信側のブロック図である。

【図2】受信側の構成を示すブロック図である。

【図3】符号化の処理の単位であるブロックの説明に用いる略線図である。

【図4】サブサンプリングの説明に用いる略線図である。

【図5】ブロック化回路の一例のブロック図、その説明に用いる略線図及びその動作説明のためのタイミングチャートである。

【図6】ブロック化回路の一例のブロック図、その説明に用いる略線図及びその動作説明のためのタイミングチャートである。

【図7】ブロック化回路の一例のブロック図、その説明に用いる略線図及びその動作説明のためのタイミングチャートである。

【図8】ダイナミックレンジ検出回路の一例のブロック図である。

【図9】量子化回路の一例のブロック図である。

【図10】量子化の一例及び他の例の説明に用いる略線図である。

【図11】量子化の一例及び他の例の説明に用いる略線図である。

【図12】周辺画素抽出回路の一例のブロック図であ

る。

【図13】周辺画素の説明に用いる略線図である。

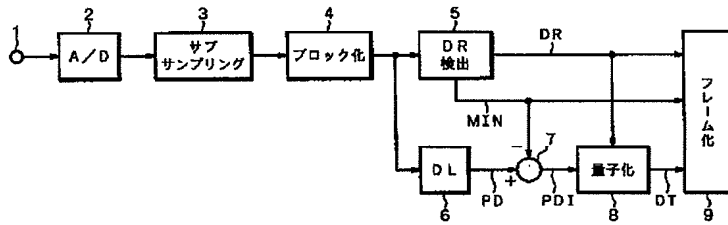
【図14】パターン分類回路の一例のブロック図である。

【図15】適応補間回路の一例のブロック図である。

【符号の説明】

1: カラービデオ信号の入力端子、 4: ブロック化回路、 5: ダイナミックレンジ検出回路、 7: 減算回路、 8: 量子化回路、 13: 復号化回路、 15: ブロック分解回路、 16: 周辺画素抽出回路、 17A: パターン分類回路、 17C: 適応補間回路

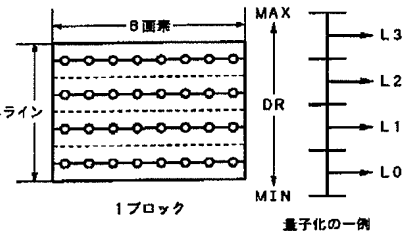
【図1】



送信側

【図3】

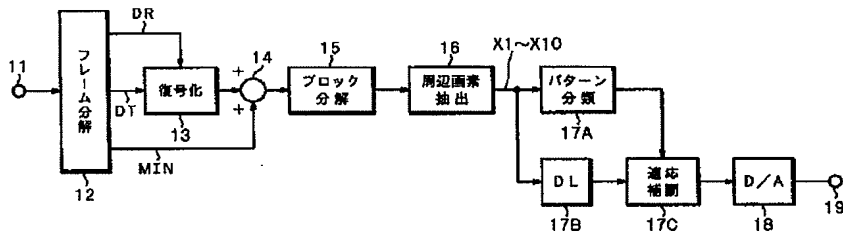
【図10】



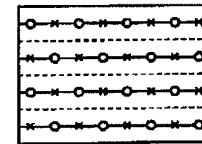
量子化の一例

【図4】

【図2】

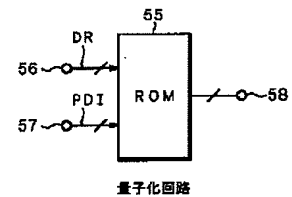


受信側



サブサンプル後の1ブロック

【図9】



量子化回路

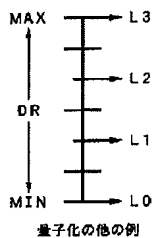
【図6】

【図5】

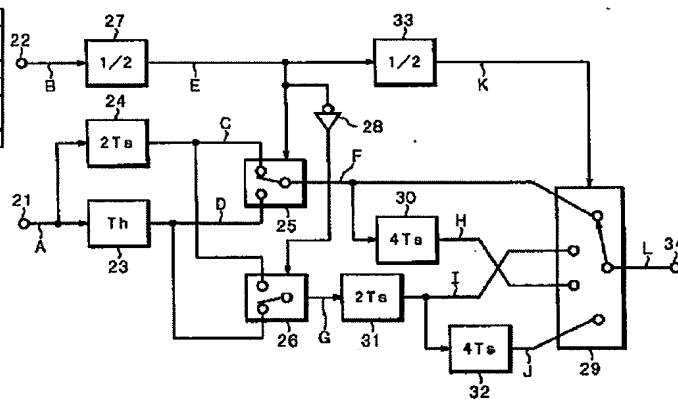


1フィールドの画面の模式図

【図11】

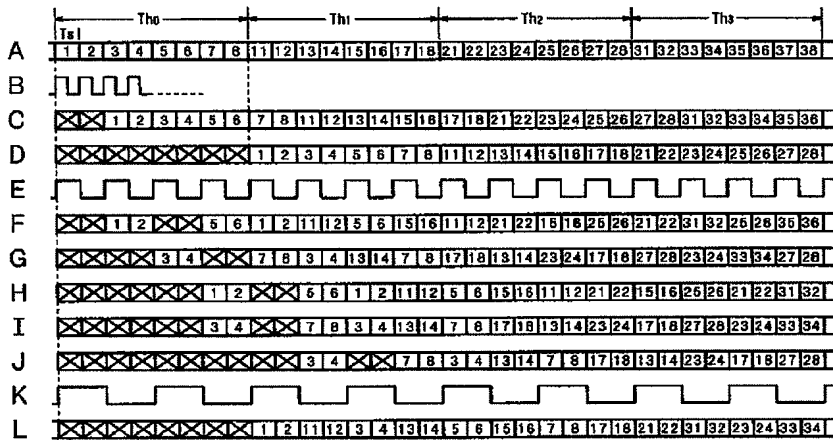


量子化の他の例



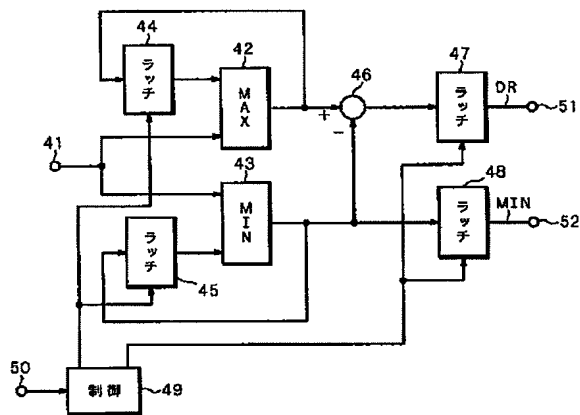
ブロック化回路

【図7】



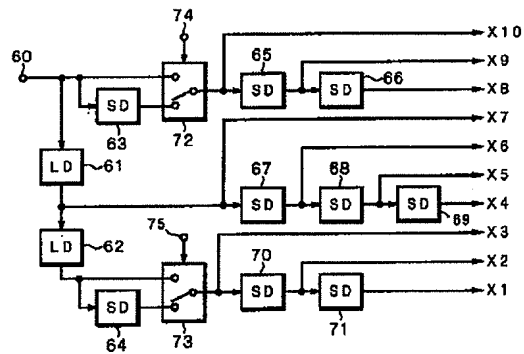
ブロック化回路のタイミングチャート

【図8】



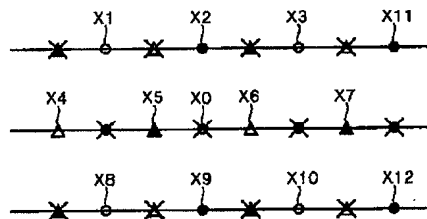
DR 検出回路

【図12】



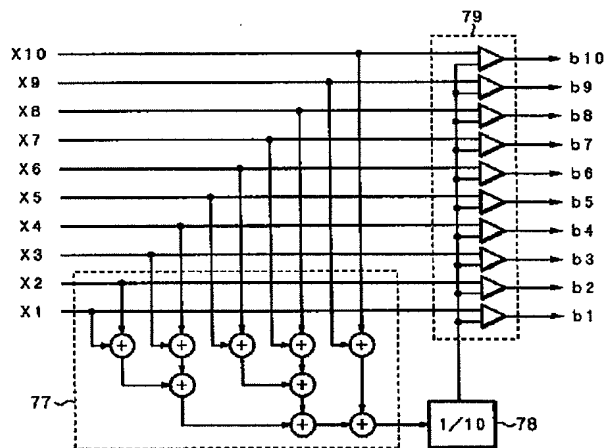
周辺要素抽出回路

【図13】



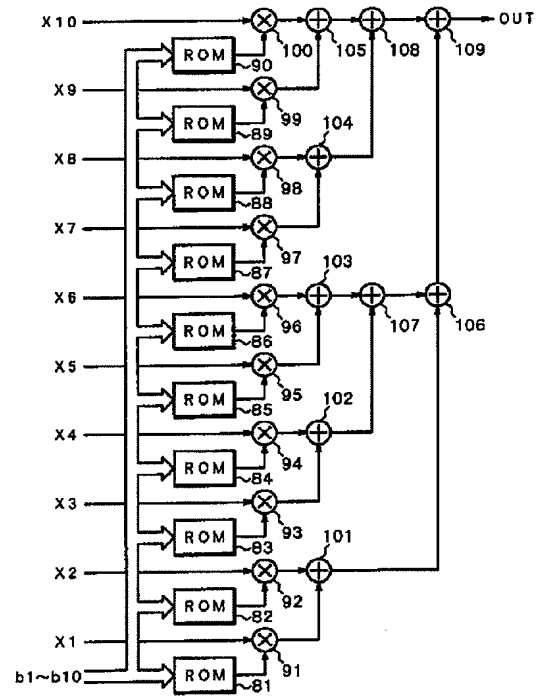
周辺要素

【図14】



パターン分類回路

【図15】



適応補間回路